

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000286418 A**

(43) Date of publication of application: **13.10.00**

(51) Int. Cl.

H01L 29/78
H01L 21/8238
H01L 27/092

(21) Application number: **11087831**

(22) Date of filing: **30.03.99**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **SUGII NOBUYUKI**
NAKAGAWA KIYOKAZU
YAMAGUCHI SHINYA
MIYAO MASANOBU

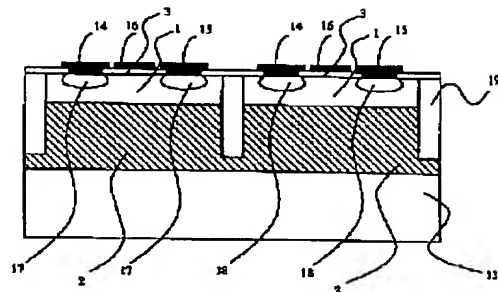
(54) **SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR SUBSTRATE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a low-power consumption and high-speed field-effect transistor, using a combination of Si to Ge, C or the like, which are homologous element as this Si.

SOLUTION: Strain is applied to a channel forming layer 1, which is formed with a channel of a field-effect transistor, by a strain applying semiconductor layer 2 and the mobility of carriers in the channel is made higher than that of the carriers in the material for a non-strained channel forming layer. Thereby, a high-speed and low-power consumption complementary field-effect transistor can be realized.

COPYRIGHT: (C)2000,JPO



* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

- [Claim 1] It is the semiconductor device characterized by having the channel formative layer in which the channel of a field-effect transistor is formed, and the distorted impression semi-conductor layer which makes distortion impress to the grid of this channel formative layer, and the mobility of the carrier in said channel being larger than the ingredient of said distortionlessness channel formative layer.
- [Claim 2] Said channel formative layer is a semiconductor device according to claim 1 characterized by consisting of Si and the lattice constant within the field of this Si channel formative layer being larger than distortionlessness Si.
- [Claim 3] The source drain field of said field-effect transistor is a semiconductor device according to claim 1 or 2 characterized by being formed in said channel formative layer.
- [Claim 4] One side of the source drain field of said field-effect transistor is a semiconductor device according to claim 2 characterized by being formed in the SiGe layer which touched said Si semi-conductor layer.
- [Claim 5] The junction depth of the source drain field of said field-effect transistor is a semiconductor device according to claim 3 or 4 characterized by being smaller than the thickness of said Si channel formative layer.
- [Claim 6] said field-effect transistor -- p mold -- it is -- said distorted impression semi-conductor layer near the interface of said distorted impression semi-conductor layer and said channel formative layer, and said channel formative layer -- at least -- while -- *** -- a semiconductor device given in claim 1 characterized by introducing the impurity which presents n mold to said distorted impression semi-conductor layer and said channel formative layer thru/or any 1 term of 5.
- [Claim 7] Installation of said impurity is a semiconductor device according to claim 6 characterized by being made in 0.1 to 30nm in said distorted impression semi-conductor layer and said direction of channel formation layer thickness.
- [Claim 8] It is a semiconductor device given in claim 1 characterized by for said field-effect transistor being p mold, and said distorted impression semi-conductor layer having the bias impression electrode thru/or any 1 term of 7.
- [Claim 9] The energy of the top-most vertices of the valence band of an interface with the layer which adjoins both sides of the channel formative layer and this channel formative layer is a semiconductor device with which the direction of a gate-dielectric-film side is characterized by having large p mold field-effect transistor.
- [Claim 10] The energy of the top-most vertices of the conduction band of an interface with the layer which adjoins both sides of the channel formative layer and this channel formative layer is a semiconductor device with which the direction of a gate-dielectric-film side is characterized by having small n mold field-effect transistor.
- [Claim 11] For gate dielectric film, the energy barrier over the carrier in the channel of a field-effect transistor is the semiconductor device with which it is characterized by existing in the opposite side, having distorted the grid of the channel formative layer in which said channel is formed, and the mobility of the carrier in said channel being larger than the ingredient of said distortionlessness channel formative layer to this channel.
- [Claim 12] It is the semiconductor device according to claim 11 which said field-effect transistor is p mold, and said channel formative layer consists of Si or germanium, and is characterized by the lattice constant within the field of said Si channel formative layer being larger than distortionlessness Si, and the lattice constant within the field of said germanium channel formative layer being smaller than distortionlessness germanium.
- [Claim 13] It is the semiconductor device according to claim 11 which said field-effect transistor is n mold, and is characterized by for said channel formative layer consisting of Si, and the lattice constant within the field of this Si channel formative layer being larger than distortionlessness Si.
- [Claim 14] Said field-effect transistor is a semiconductor device given in claim 9 characterized by having the distorted impression semi-conductor layer which makes distortion impress to said channel formative layer thru/or any 1 term of 13.
- [Claim 15] Said distorted impression semi-conductor layer is a semiconductor device given in claim 2 characterized by consisting of $\text{Si}^{1-x}\text{Ge}^x$ ($0 < x < 1$) thru/or any 1 term of 8 and 14.
- [Claim 16] The channel formative layer which consists of $\text{Si}^{1-y}\text{Ge}^y$ ($0 < y < 1$) in which the channel of p mold field-effect transistor is formed, It has the distorted impression semi-conductor layer which consists of $\text{Si}^{1-x}\text{Ge}^x$ ($0 < x < 1$) which makes distortion impress to this channel formative layer.

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor device containing a field-effect transistor about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] In the integrated circuit using a SiMOS mold field-effect transistor (Si-MOSFET), it has been compatible with reduction of power consumption in improvement in the speed by performing contraction of a device dimension, reduction of operating voltage, etc. according to the so-called scaling law.

[0003] However, many troubles, such as a problem of the short channel effect generated with dimension contraction and a fall of the margin of operation by contiguity of the drain electrical potential difference which becomes remarkable when it low-battery-izes, and a threshold electrical potential difference, are arising.

[0004] Moreover, if their eyes are turned to the mobility used as the index of improvement in the speed, the above-mentioned various amelioration has entrapped 100 or less and the value of bulk to the result which makes an ironical thing far less than the mobility of Si in a real device.

[0005] Thus, in conventional Si-MOSFET, the improvement in the engine performance is already becoming very difficult.

[0006]

[Problem(s) to be Solved by the Invention] There is the need of attaining improvement in the speed by amelioration of the semiconductor material itself in improvement in the engine performance beyond this. Although it is one answer, it is very difficult to essentially use the so-called high-speed compound semiconductor in respect of [with the manufacturing technology of Si integrated circuit] confluent, and since a manufacturing cost becomes huge, it is not a realistic solution.

[0007] The purpose of this invention is to offer the semiconductor device which has a high-speed field-effect transistor with a low power using combination which is Si, and this and a congener, such as germanium and C.

[0008]

[Means for Solving the Problem] The above-mentioned purpose makes distortion impress to the channel formative layer in which the channel of a field-effect transistor is formed by the distorted impression semi-conductor layer, and can be attained by making mobility of the carrier in a channel larger than the ingredient of the distortionlessness channel formative layer. For example, when the ingredient of the channel formative layer is Si, the lattice constant within the field of Si channel formative layer is made larger than distortionlessness Si by distorted impression.

[0009] If distortion is impressed to Si or germanium, it is suggested that the mobility of a carrier may increase compared with Si or germanium which does not receive distortion (M. V.Fischetti and S.E.Laux:J.Appl.Phys.80 (1996) 2234). This is making the same the phenomenon and the origin which mobility's increases and known for many years, when Si is deposited on sapphire, and Si receives an in-plane strain. This invention applies this phenomenon and produces semiconductor devices, such as an integrated circuit using a field-effect transistor and it.

[0010] Moreover, the semiconductor device which has p mold field-effect transistor which made the gate-dielectric-film side larger than another side for the energy of the top-most vertices of the valence band of an interface with the layer which adjoins both sides of the channel formative layer and this channel formative layer can also attain the above-mentioned purpose.

[0011] Moreover, the semiconductor device which has n mold field-effect transistor which made the gate-dielectric-film side smaller than another side for the energy of the top-most vertices of the conduction band of an interface with the layer which adjoins both sides of the channel formative layer and this channel formative layer can also attain the above-mentioned purpose.

[0012] Moreover, the energy barrier over the carrier in the channel of a field-effect transistor makes the grid of the channel formative layer in which it considers as the structure which exists in the opposite side with gate dielectric film, and a channel is formed to a channel distorted, and the above-mentioned purpose can be attained also by making mobility of the carrier in a channel larger than the ingredient of the distortionlessness channel formative layer.

[0013]

[Embodiment of the Invention] The band structure and the principle of operation of a field-effect transistor which use as a channel Si which received distortion first are explained. It is appropriate for the distorted impression layer which gives distortion to Si to use Si1-xGex (0< x<1). The band Fig. of a laminated structure called SiO2 gate dielectric film 3 / distorted Si layer 1 / Si1-xGex distorted impression layer 2 is shown in drawing 1. The band gap 6 of the distorted Si layer 1 is larger than the band gap 7 of the Si1-xGex distorted impression layer 2, and, moreover, a valence band 5 and a conduction band 4 show the band discontinuity of the type with which energy falls.

[0014] Now, if a forward electrical potential difference is impressed to the gate in the case of the field-effect transistor of n mold, a band bends near the interface of gate dielectric film 3 and the distorted Si layer 1 like drawing 2, an electron is accumulated in 3 Kadoi doors 10 of the conduction band in the distorted Si layer 1 made into this part, and transistor actuation can be performed. This is completely the same as the usual MOS mold field-effect transistor.

[0015] Moreover, if a negative electrical potential difference is impressed to the gate in the case of the field-effect transistor of P type, a band will bend near the interface of gate dielectric film 3 and the distorted Si layer 1 like drawing 3. However, many electron holes will be accumulated in 3 Kadoi doors 12 of the valence band in the Si1-xGex distorted impression layer 2 made to the interface of the distorted Si layer 1 and the Si1-xGex distorted impression layer 2 rather than 3 Kadoi doors 11 of the valence band in the distorted Si layer 1 made into this part. However, compared with the distorted Si layer 1, since [that it is remarkable] the mobility of the electron hole in the Si1-xGex distorted impression layer 2 is small, it has the problem that improvement in a rate cannot be aimed at as compared with the usual MOS mold field-effect transistor. Moreover, when a complementary-type field-effect transistor is constituted, there is a problem of being hard coming to

balance on both channels.

[0016] In order to solve such a problem, there are some which are shown below as the approach that what is necessary is just to reduce are recording of the electron hole in 3 Kadoi doors 12. The 1st approach prevents the outflow of the electron hole to the Si1-xGex distorted impression layer 2 by making the junction depth of a source drain shallower enough than the thickness of the distorted Si layer 1. What is necessary is just to specifically set the junction depth to about 40nm, when the thickness of the distorted Si layer 1 is 70nm. Since this is the value used with the short channel device of 0.1 microns or less of channel length, and a value practically equal, it is an implementation possible value enough.

[0017] The 2nd approach is an approach of being the range of 0.1-30nm depth preferably, and performing n mold doping near an interface with the distorted Si layer 1 of the Si1-xGex distorted impression layer 2 steeply. as [show / in drawing 4 / by this approach] -- the energy level of the top-most vertices 43 of 3 Kadoi doors 12 of the valence band in the Si1-xGex distorted impression layer 2 falls. For example, it becomes lower than the energy level of the top-most vertices 42 of 3 Kadoi doors 11 of the valence band in the distorted Si layer 1. Consequently, are recording of the electron hole in 3 Kadoi doors 12 decreases. This approach is realizable for both the distorted Si layer 1 or the distorted Si layer 1, and the Si1-xGex distorted impression layer 2 also by carrying out n mold doping. Also in these cases, the doping depth has the desirable range of 0.1-30nm.

[0018] They are the 3rd approach and the approach of controlling substrate bias voltage so that a forward electrical potential difference is impressed to the Si1-xGex distorted impression layer 2 side. By this approach, as shown in drawing 5, the lower right where the Si1-xGex distorted impression layer 2 side fell serves as band structure of **, and the energy level of the top-most vertices 43 of 3 Kadoi doors 12 of the valence band in the Si1-xGex distorted impression layer 2 becomes low rather than the energy level of the top-most vertices 42 of 3 Kadoi doors 11 of the valence band in the distorted Si layer 1. Consequently, are recording of the electron hole in 3 Kadoi doors 12 decreases.

[0019] As stated above, it is a factor indispensable to implementation of p mold field-effect transistor or a complementary-type field-effect transistor to prevent the outflow of the electron hole from a distorted Si channel to a distorted impression layer. Furthermore, in order to attain improvement in the speed and low-battery-izing of a device, it is also effective to take a configuration as shown below. namely, the case of p mold field-effect transistor -- the case of a drain field and n mold field-effect transistor -- the ingredient of a source field -- the same base material as an Si1-xGex distorted impression layer -- it considers as the same presentation ratio desirably. If it does in this way, distribution of the electric field between source drains will change with the band discontinuity of distorted Si and SiGe, and it will become possible to accelerate a carrier more effectively. Thereby, while being able to attain further improvement in the speed, actuation by the low battery is attained more by the fall of pinch off voltage.

[0020] Although the transistor to which an electron and an electron hole use distorted Si as a channel has so far been described, if distorted Si1-yGey ($0 < y \leq 1$) is used as a channel about an electron hole, high mobility-ization, i.e., improvement in the speed, will be realized further. When Si1-xGex is used for a distorted impression layer, the tension distortion within a field is impressed to Si which carries out a laminating on it, and the compressive strain within a field is impressed to Si1-yGey.

[0021] When a laminating is carried out to the order of the distorted Si1-yGey layer 25, the distorted Si layer 1, and gate dielectric film 3 on the Si1-xGex distorted impression layer 2, It becomes a band Fig. as shown in drawing 6 R> 6, and an electron is accumulated in 3 Kadoi doors 10 of the conduction band in the distorted Si layer 1 and the distorted Si layer 1 near the interface of gate dielectric film 3, and an electron hole is accumulated in 3 Kadoi doors 20 of the valence band in the distorted Si1-yGey layer 25 near the interface of the distorted Si layer 1 and the distorted Si1-yGey layer 25. Unlike the case where the distorted Si layer 1 is used for the channel of an electron hole, an outflow in the distorted impression layer 2 of an electron hole stops being able to happen easily. As for the built-up sequence of the distorted Si layer 1 and the distorted Si1-yGey layer 25, it is possible for which to make it operate as a device as for up. However, since the direction of the mobility of the electron hole in the distorted Si1-yGey layer 25 becomes higher than the mobility of the electron in the distorted Si layer 1, when the balance of the mutual conductance when constituting a complementary-type field-effect transistor is taken into consideration, the distorted Si1-yGey layer 25 is further than a gate electrode, that is, the configuration of that it is under the distorted Si layer 1 is more desirable.

[0022] Moreover, you may also already pinch a SiGe layer further between the distorted Si layer 1 or the distorted Si1-yGey layer 25, and gate dielectric film 3. In this case, since an electron or an electron hole is accumulated in the distorted Si layer 1 near an interface with this SiGe layer, or the distorted Si1-yGey layer 25, it does not need to be influenced [the interface state density of gate dielectric film 3, or] of dispersion.

[0023] Moreover, a distorted Si1-yGey layer may be grown in the field of a p channel, and a distorted Si layer may be made for a distorted Si layer and a distorted Si1-yGey layer to grow in the field of an n channel using a selection grown method etc., without carrying out a laminating.

[0024] It is desirable to use Si1-xGex for a distorted impression layer. In Si and germanium, the lattice constant of germanium is large about about 4%. According to germanium presentation ratio x, as for Si1-xGex, a lattice constant takes a interpolation value. Therefore, if x [suitable] is chosen, distortion of a request can be impressed to Si or germanium which carries out a laminating on it. For example, 0.5 then Si, the tensile strain within [of 2% of each germanium] a field, and the compressive strain within a field can be impressed for x. The distorted magnitude of Si and Si1-yGey is suitably controllable by how to choose x. That is, the lattice constant within the field of a distorted Si layer can be enlarged in less than 4% of range to distortionlessness Si, and it is distorted Si1-yGey. It is distortionlessness germanium about the lattice constant within the field of a layer. It receives and can do small in less than 4% of range. Since the balance of the mobility of an electron and an electron hole is controllable by this, the mutual conductance of a complementary-type field-effect transistor can be balanced. Although adjusted only by changing the dimension of a component in the conventional complementary-type field-effect transistor, the degree of freedom of a design becomes advantageous also to increase and high integration further by this method.

[0025] Also besides changing germanium presentation ratio x of Si1-xGex, distorted control may add C and may change the presentation ratio y of 1(Si1-xGex)-yCy. As an approach of adding C, C may be made to add at the time of growth of a distorted impression layer, and after growing up a distorted impression layer, you may add by approaches, such as an ion implantation.

[0026] A distorted impression layer is good also as the approach of growing up Si1-xGex of a fixed presentation, the approach, to which the presentation ratio x is made to increase from Si substrate gradually toward the growth direction, and the so-called gray dead buffer layer. Moreover, if high Si layer of defect density is grown up at low temperature, or a defective layer is formed by approaches, such as ion implantation, such as hydrogen, Si, or germanium, on Si substrate and Si1-xGex is grown up to be after an appropriate time, since a penetration transition consistency can be reduced compared with the time of growing up direct Si1-xGex and it will become good about surface surface smoothness further on Si substrate, it is desirable.

[0027] Moreover, if the parts of a substrate and a distorted impression layer are made into the so-called SOI (Silicon on insulator) structure, much more improvement in the speed can be attained by reduction of stray capacity. The lamination type SOI substrate, the SIMOX (Separation by Implanted Oxygen) substrate, etc. are marketed by SOI, and the distorted Si (Si1-yGey ($0 < y \leq 1$)) field-effect transistor which

employed the features of SOI efficiently can be manufactured by growing up an Si1-xGex distorted impression layer on this substrate.

[0028] Moreover, by growing up an Si1-xGex distorted impression layer first on Si substrate, and heat-treating by driving oxygen ion into after an appropriate time How to embed SiO2 insulating layer into an Si1-xGex distorted impression layer or Si [directly under] of it, and to grow up a distorted Si layer to be after an appropriate time, Or it is also possible by growing up an Si1-xGex distorted impression layer and a distorted Si layer first on Si substrate, and heat-treating by driving oxygen ion into after an appropriate time to use the approach of embedding SiO2 insulating layer to the interior of a distorted Si layer. If these approaches are used, thickness of a SOI barrier layer can be made thin, it will excel in isolation, and the well layer for pMOS and nMOS will become unnecessary. Moreover, since SiO2 insulating layer is directly under a distorted Si layer in the case of the latter, the problem of an outflow in the distorted impression layer of the electron hole in pMOS which was described above does not arise.

[0029] Or after growing up an Si1-xGex distorted impression layer on Si substrate and growing up Si layer further again, the substrate which oxidized thermally a part or all of this Si layer is prepared. Or you may grow up SiO two-layer by vapor growth etc. on an Si1-xGex distorted impression layer instead of thermal oxidation of Si layer. And if it cuts by the technique of opposing SiO2 to the support substrate prepared apart from this, and grinding lamination and Si substrate of the side which grew the Si1-xGex distorted impression layer further, or inserting a porosity Si layer in the middle of placing of a hydrogen ion and an Si1-xGex distorted impression layer is exposed, a lamination SOI substrate with an Si1-xGex distorted impression layer can be manufactured. Since the high part of the defect density near Si substrate is removable among Si1-xGex distorted impression layers according to this approach, if reduction of defect density can be aimed at and polish, etching, etc. are performed further, reservation of surface surface smoothness will also become easy. Moreover, by this approach, thickness of a SOI barrier layer can be made thin, it excels in isolation, and the well layer for pMOS and nMOS becomes unnecessary.

[0030] On the occasion of cutting of the above-mentioned lamination SOI substrate, there is not necessarily no need of leaving the Si1-xGex distorted impression layer. That is, an Si1-xGex distorted impression layer is grown up on Si substrate, a distorted Si layer is grown up further, SiO2 can be opposed to the support substrate which prepared independently the substrate which oxidized the part thermally, it can leave the parts of lamination and a distorted Si layer, cutting or polish can be performed, and the substrate with which the distorted Si layer appeared on SiO two-layer can be manufactured. Appearance did not change this substrate at all to the conventional lamination SOI substrate, but distortion has only merely started the SOI layer. Therefore, it can treat completely like the conventional SOI substrate, and excels in isolation, and the well layer for pMOS and nMOS becomes unnecessary, and it will have the description of distorted Si [the effective mass of a SOI barrier layer is light, and] that an electron and hole mobility are high, according to distorted effectiveness. Moreover, since SiO2 insulating layer is directly under a distorted Si layer, the problem of an outflow in the distorted impression layer of the electron hole in pMOS which was described above does not arise.

[0031] The thickness of a distorted Si layer has a fixed limit. It is because the upper limit of the thickness of a distorted Si layer which can grow by no transferring with distorted magnitude exists. if it says by the case where are calling this critical thickness and a distorted Si layer is grown up into an Si1-xGex distorted impression layer -- the time of $x = 0.2$ -- distorted magnitude -- in distorted magnitude, critical thickness becomes [critical thickness] before and after 10nm at about 2% around 100nm by about 0.8% at the time of $x = 0.5$. However, it is dependent on the growth conditions of a distorted Si layer, and the magnitude of this critical thickness cannot be determined uniquely. Moreover, also when it is the structure where the oxide-film layer is inserted in between like [at the time of combining a SOI substrate and a distorted Si layer], it differs from the above-mentioned limit. However, it is desirable for x which is the presentation which realizes practically significant distorted magnitude to make it about 0.2 to 0.8 range and distortion, and for the thickness of a distorted Si layer to be in the range of 1 to 200nm in about 0.8 to 3.2% of range. It is because generating of transition will start and the bad influence to an electrical property will begin to appear in less than 1nm, if a field-effect transistor is inadequate as thickness of the barrier layer which forms a channel and it is thicker than 200nm.

[0032] Selection of field bearing of the substrate crystal to be used and selections of the relation of the carrier transit direction in a channel are required requirements when carrying out more nearly high-speed actuation.

[0033] Conventionally, since many conventional Si semiconductor devices use this field bearing, the mobility at the time of making distortion impress also increases greatly, and it is desirable crystal orientation to use {100} sides as substrate side bearing in respect of association with a component, and use of the same process, while it is advantageous. In this case, as for the field inboard of a channel, it is advantageous to consider as <110> or the <001> directions, when raising the controllability of processes, such as EPI growth and etching.

[0034] It is also possible to use {110} sides as substrate side bearing. In this case, it is advantageous to consider as <110> or the <001> directions as a direction of a channel in respect of increase of the mobility by impressing distortion. Moreover, it is still more desirable when the <110> directions are used as an electronic channel. However, when the balance of nMOSFET and pMOSFET is taken into consideration, it is not necessary to be necessarily this arrangement.

[0035] As described above, the field-effect transistor which added distortion to the barrier layer which forms a channel or a complementary-type field-effect transistor, and the semiconductor device using this have the light effective mass of the carrier which flows a channel compared with the former, therefore it is high in mobility, and since improvement in the speed can be attained and high integration of a component and high performance-ization can be attained further, the industrial value is very high.

[0036] Hereafter, an example explains this invention to a detail.

[0037] Example 1 drawing. 7 is the sectional view of CMOSFET concerning this example. After washing the Si substrate 13, it introduces into chemical-vapor-deposition equipment immediately, and the Si0.7germanium0.3 distorted impression layer 2 is grown up. Field bearing of the Si substrate 13 is set to {100}. Thickness may be 500nm. It grows up to be a raw material at the growth temperature of 700 degrees C using Si2H6 and GeH4. Here, doping for conductivity-type decision is not performed. germanium presentation ratio x of the Si1-xGex distorted impression layer 2 is x for distorted rationalization impressed to the distorted Si layer 1 at any cost although it is controllable. A good result will be obtained if it is made 0.2-0.4.

[0038] Next, the distorted Si layer 1 is formed by the chemical-vapor-deposition method on the Si1-xGex distorted impression layer 2. Here, doping for conductivity-type decision is not performed. Thickness could be 60nm. Since the lattice constant of the Si1-xGex distorted impression layer 2 is larger than Si, this layer has received the hauling distortion within a field. Thereby, the carrier (electron and electron hole) mobility in this becomes larger than the inside of Distortionlessness Si. In addition, growth of Si layer and a SiGe layer is not restricted to a chemical-vapor-deposition method.

[0039] Next, the isolation insulating region 19 is formed with a trench separation method, and ion implantation for well formation is performed over the lower part of the distorted Si layer 1, and the Si1-xGex distorted impression layer 2. V group elements, such as P, are injected into the lower part of a PMOS field, and it considers as n mold -- III group elements, such as B, are injected into the lower part of an NMOS field, and it considers as p mold. Furthermore, V group element is poured into an III group element and an NMOS field in a PMOS field, and a threshold is adjusted to the upper part of the distorted Si layer 1.

[0040] Next, the front face of the distorted Si layer 1 is oxidized thermally, and SiO2 gate dielectric film 3 is formed. Furthermore, after forming the polish recon gate electrode 16 on it, etching removes except a gate field. Furthermore, a source drain field is formed with ion-

implantation by the self aryne. This time, since p mold source drain field 17 can be formed if III group elements, such as B, are poured in, and n mold source drain field 18 can be formed if V group elements, such as P, are poured in, PMOS and NMOS are producible on the same wafer. In order to reduce the leakage current to the Si1-xGex distorted impression layer 2 at this time, the ion-implantation depth was set to 30nm below one half of the thickness of the distorted Si layer 1. Finally, an interlayer insulation film (not shown) is formed, a contact hole is opened, patterning of the metal membranes, such as aluminum, is vapor-deposited and carried out, metal wiring is formed, and a field-effect transistor is completed. Compared with the field-effect transistor of Distortionlessness Si which produced this transistor directly on Si substrate with the same dimension, about 3 times and cut-off frequency also increased [the mutual conductance] 2.4 times.

[0041] Example 2 drawing 8 is the sectional view of CMOSFET concerning this example. Instead of making deep a depth of 30nm of the source drain fields 17 and 18 in an example 1 with 50 nm in usual, in formation of the Si1-xGex distorted impression layer 2, it is the range of 30nm of the upper part, and this example mixes P doping gas, it is the high concentration of legislation cm the whole 1018, and performs n mold doping steeply. In order to dope only to a pMOS field in that case, the nMOS field is covered with the oxide film and this is removed after doping.

[0042] However, the ion implantation for well formation does not carry out to the pMOS field which performed steep doping.

[0043] Also in this example, effectiveness equivalent to an example 1 was acquired about a mutual conductance and cut-off frequency.

[0044] Example 3 drawing 9 is the sectional view of CMOSFET concerning this example. This example impresses forward bias instead of steep doping in an example 2 to the well field of pMOS.

[0045] Out of a component field, a contact hole is opened to the Si1-xGex distorted impression layer 2 of pMOS, an ohmic electrode is formed there, and, specifically, it considers as the bias impression electrode 22.

[0046] By impressing the electrical potential difference of +1V to the bias impression electrode 22, the punch-through current was able to be reduced to 5% or less as compared with the case where he has no bias impression.

[0047] In addition, an example 1 thru/or the approach of 3 are approaches applicable to coincidence, and can combine two sorts or three sorts.

[0048] Example 4 drawing 10 is the sectional view of CMOSFET concerning this example. This example etches alternatively the drain field 15 of the p mold MOSFET of the distorted Si layer 1 in an example 1, and the source field 14 of the n mold MOSFET, carries out selective growth of the Si1-xGex layer 23, and returns the part. In addition, 5nm of surface layers of this part is set to Si, and damage on the Si1-xGex layer 23 by future processes is prevented.

[0049] The transistor of this example can reduce this compared with operating voltage 3V which a conventional type MOSFET is sufficient as and are used.

[0050] Example 5 drawing 11 is the sectional view of CMOSFET concerning this example. The description of this example is to have used the distorted Gey layer as a channel of PMOS.

[0051] A high defect density layer is beforehand formed in the Si substrate 13 over a 100nm field from a front face by hydrogen ion placing. After washing this substrate, it introduces into chemical-vapor-deposition equipment immediately, and the lower layer 2 of the distorted impression layer which consists of Si1-xGex to which x was changed from 0.3 to 0.5 toward the growth direction is grown up. Thickness may be 300nm. It grows up to be a raw material at the growth temperature of 700 degrees C using Si2H6 and GeH4.

[0052] 30nm of thickness is carried out for the upper layer 24 of the distorted impression layer which furthermore consists of Si0.5germanium0.5, and laminating formation of 10nm of thickness and the distorted Si layer 1 is similarly carried out for the distorted germanium layer 25 in order by 13nm of thickness. In addition, growth of Si, germanium, and a SiGe layer should just be an approach in which not only a chemical-vapor-deposition method but the crystal growth of the above-mentioned presentation is possible. The distorted germanium layer 25 receives field internal pressure shrinkage stress, and the distorted Si layer 1 receives the tensile stress within a field. Thereby, an effective mass is reduced compared with Si usual in the electron hole of the distorted germanium layer 25, and the electron of the distorted Si layer 1, and mobility rises.

[0053] Next, low concentration ion implantation for threshold adjustment is performed in the upper part of the ion implantation for well formation and the distorted Si layer 1 covering the Si1-xGex layer 2 which are 24 and a lower layer 0.5 layers of Si0.5germanium which is the upper layer of isolation insulating region 19 formation and a distorted impression layer, and the upper part of the distorted germanium layer 25 by the same approach as an example 1. Then, formation of SiO2 gate oxide 3, formation of the gate electrode 16, and formation of the source drain fields 17 and 18 are performed. The ion-implantation depth of the source drain fields 17 and 18 was set to 10nm comparable as the thickness of the distorted Si layer 1 to nMOS, and was set to 20nm which reaches the distorted germanium layer 25 to pMOS. Finally, formation of formation of an interlayer insulation film, contact hole ****, and metal wiring is performed, and CMOSFET is completed.

[0054] In this example, the amount of distorted impression which gives 24 to the distorted Si layer 1 and the distorted germanium layer 25 since it is growing up as the upper layer of a distorted impression layer is [0.5 layers of Si0.5germanium of $x=0.5$] large.

[0055] In this example, although the distorted Gey layer was used for the channel, the distorted Si1-yGey layer ($0 < y < 1$) which mixed Si can also be used. In this case, the presentation ratio y is made larger than the presentation ratio x of an Si1-xGex distorted impression layer.

[0056] Example 6 drawing 12 is the sectional view of CMOSFET concerning this example. 2nm of Si0.5germanium0.5 barrier layers 30 is formed on the distorted Si layer 1 in this example and an example 5.

[0057] thus, since Si0.5germanium0.5 barrier layer 30 is formed between the distorted Si layer 1 and gate dielectric film 3, an electron does not receive dispersion of distorted Si layer 1 and gate-dielectric-film 3 interface — it is accumulated into the distorted Si layer 1 near the interface of Si0.5germanium0.5 barrier layer 30 and the distorted Si layer 1.

[0058] Moreover, although the laminating of the distorted Si layer 1 was carried out to the upper part of the distorted germanium layer 25 in this example, even if this sequence is reverse, it is not cared about. The ion-implantation depth of the source drain field 1718 is set to 12nm comparable as the thickness of the distorted Si layer 1 to nMOS, and is set to 22nm which reaches the distorted germanium layer 25 to pMOS.

[0059] Example 7 drawing 13 is the sectional view of CMOSFET concerning this example. This example does not carry out the laminating of the distorted Si layer 1 and the distorted germanium layer 25 in an example 5, but carries out a parallel arrangement.

[0060] The distorted germanium layer 25 is made a pMOS field, and 10nm and a nMOS field are made to specifically make 12nm selective growth of the distorted Si layer 1 on the Si0.5germanium0.5 distorted impression layer 24. The distorted germanium layer 25 received field internal pressure shrinkage stress, and the distorted Si layer 1 has received the tensile stress within a field. Thereby, an effective mass is reduced compared with Si usual in the electron hole of the distorted germanium layer 25, and the electron of the distorted Si layer 1, and mobility rises.

[0061] Example 8 drawing 14 is the sectional view of the SOI substrate concerning this example. After washing the Si substrate 13 in which the high defect density epilayer of 100nm thickness was formed on the front face, it introduces into chemical-vapor-deposition equipment immediately, and the Si1-xGex distorted impression layer 2 is grown up. Thickness may be 150nm. It grows up to be a raw material at the growth temperature of 700 degrees C using Si2H6 and GeH4. A good result will be obtained if germanium presentation ratio x of the Si1-xGex distorted impression layer 2 sets x to 0.2-0.4 for rationalization of distortion impressed to the distorted Si layer 1 formed later although it is

controllable at any cost. It is referred to as 0.3 in this example. In addition, growth of Si and a SiGe layer should just be an approach in which not only a chemical-vapor-deposition method but the crystal growth of the above-mentioned presentation is possible.

[0062] Next, oxygen ion is poured in from the Si1-xGex distorted impression layer 2 on condition that acceleration voltage 180KeV and $4 \times 10^{17}/\text{cm}^2$ of doses, and annealing is performed at 1350 degrees C for 8 hours. Thereby, SiO2 insulating layer 26 is formed directly under the Si1-xGex distorted impression layer 2. The thickness of SiO2 insulating layer 26 is about 100nm, and more than withstand voltage 50V is secured. By annealing treatment, the Si1-xGex distorted impression layer 2 has very low defect density, and it is flat, and strain relaxation is fully made. Furthermore, the distorted Si layer 1 with a thickness of 60nm is formed in this upper part by the chemical-vapor-deposition method.

[0063] Henceforth, CMOSFET can be manufactured using the same process as the example 1 grade of invention. In addition, the ion implantation of a well layer becomes unnecessary by using this substrate.

[0064] Moreover, since stray capacity was reduced sharply, the working speed in mounting level was able to be raised about 40% compared with the time of the usual Si substrate use.

[0065] Example 9 drawing 15 is the sectional view of other examples of a SOI substrate. After forming to the Si1-xGex distorted impression layer 2 by the same approach as an example 8, the distorted Si layer 1 with a thickness of 120nm is formed by the chemical-vapor-deposition method on the Si1-xGex distorted impression layer 2. Next, oxygen ion is poured in from the distorted Si layer 1 on condition that acceleration voltage 50KeV and $2 \times 10^{17}/\text{cm}^2$ of doses, and annealing is performed at 1300 degrees C for 8 hours. Thereby, SiO2 insulating layer 26 is formed in the interior of the distorted Si layer 1. The thickness of SiO2 insulating layer 26 is set to about 30nm.

[0066] In this example, since an outflow in the SiGe distorted impression layer of the electron hole in pMOS cannot take place easily except that the ion implantation of a well layer becomes unnecessary, it is not necessary to use especially the outflow preventive measure of the electron hole by doping, bias impression, etc.

[0067] Example 10 drawing 16 is the production process sectional view of the SOI substrate concerning this example. First, as shown in drawing 16 (a), after washing the Si substrate 13 in which the high defect density epilayer of 100nm thickness was formed on the front face, it introduces into chemical-vapor-deposition equipment immediately, and the Si1-xGex distorted impression layer 2 is grown up. Thickness may be 300nm. It grows up to be a raw material at the growth temperature of 700 degrees C using Si2H6 and GeH4. A good result will be obtained if it sets x to 0.2-0.4 for rationalization of distortion impressed to the distorted Si layer 1, although germanium presentation ratio x of the Si1-xGex distorted impression layer 2 is controllable at any cost. It is referred to as 0.3 in this example. In addition, growth of Si and a SiGe layer should just be an approach in which not only a chemical-vapor-deposition method but the crystal growth of the above-mentioned presentation is possible. Moreover, germanium substrate or a SiGe mixed-crystal substrate may be used instead of the Si substrate 13. When the mixed-crystal ratio x of germanium is large, it becomes easier [to use germanium substrate and the large SiGe substrate of germanium mixed-crystal ratio / growth of the Si1-xGex distorted impression layer 2], or unnecessary.

[0068] Next, the distorted Si layer 1 is grown up, a front face is oxidized thermally, subsequently to the depth of the cutting location 28 a hydrogen ion is poured in, and a damage layer is formed in this location. In this way, it will be in the condition which shows in drawing 16 (a). The cutting location 28 is good also as the interior of the Si1-xGex distorted impression layer 2, and good also as the interior of the distorted Si layer 1.

[0069] The support substrate 29 prepared still apart from the surface oxide film is joined in the junction location 27, and it will be in a condition like drawing 16 (b). Subsequently, if it anneals at 500 degrees C, it will be cut in the cutting location 28, when the cutting location 28 is the interior of the Si1-xGex distorted impression layer 2, it will be in a condition like drawing 16 (c), and in the case of inside the distorted Si layer 1, it will be in a condition like drawing 16 (d). When shown in drawing 16 (c), a front face is made to carry out epitaxial growth of the 60nm distorted Si layer 1 further.

[0070] Henceforth, CMOSFET can be manufactured using the same process as the example 1 grade of invention. In addition, the ion implantation of a well layer becomes unnecessary by using this substrate. Furthermore, since an outflow in the SiGe distorted impression layer of the electron hole in pMOS does not take place in the case of the structure of drawing 16 (d), the outflow preventive measure of the electron hole by doping, bias impression, etc. becomes unnecessary.

[0071] Moreover, since stray capacity was reduced sharply, the working speed in mounting level was able to be raised about 40% compared with the time of the usual Si substrate use.

[0072] As shown in Table 1, a mixed-crystal ratio has [about 0.2] the increment quite large when boil variously germanium presentation ratio x of the Si1-xGex distorted impression layer 2, and a complementary-type field-effect transistor is changed, and is produced by the approach shown in the example 11 example 1 using the Si substrate 13 of [100] sides and the electron of the <001> directions in a distorted Si channel and the mobility of an electron hole are estimated from the mutual conductance of a component in mobility. Distortion is [% (a forward value is a tensile strain) and mobility of a unit] $\text{cm}^2/\text{Vs(es)}$.

[0073] The table 1 germanium presentation ratio x Distortion Electron mobility Hole mobility 0 0 1300 400 0.1 0.4 2600 850 0.2 0.8 3300 2000 0.3 1.2 3550 3100 0.4 1.6 3500 4500 0.5 2.0 3450 52000. 6 2.4 3400 By the approach shown in the 6100 examples 7, using the Si substrate 13 of [100] sides, boil variously germanium presentation ratio x of the Si1-xGex distorted impression layer 2, change pMOSFET, and it is produced. If the mobility of the electron hole of the <001> directions in a distorted germanium channel is estimated from the mutual conductance of a component, mobility will become large by leaps and bounds as are shown in Table 2 and the compressive strain within a field is received. Distortion is [% (a forward value is a tensile strain) and mobility of a unit] $\text{cm}^2/\text{Vs(es)}$.

[0074] The table 2 germanium presentation ratio x Distortion Hole mobility 1.0 0 19000. 9 - 0.4 28000. 8 - 0.8 41000. 7 - 1.2 70000. 6 - 1.6 90000. 5 - 2.0 120000. 4 - 2.4 By the approach shown in the 13500 examples 1, a complementary-type field-effect transistor is produced using the Si substrate 13 of [110] sides. If the electron of the <001> directions in a distorted Si channel and the <110> directions and the mobility of an electron hole are estimated from the mutual conductance of a component, as shown in Table 3, as for electron mobility, the direction of the <110> directions will become large. Distortion is [% (a forward value is a tensile strain) and mobility of a unit] $\text{cm}^2/\text{Vs(es)}$.

[0075] The table 3 germanium presentation ratio x Distortion Bearing Electron mobility Hole mobility 0.2 0.8 <001> 900 1800 0.2 0.8 <110> 3100 1800 0.3 1.2 <001> 900 2700 0.3 1.2 <110> 3300 2700 [0076]

[Effect of the Invention] According to this invention, the semiconductor device which contains a high speed, the complementary-type field-effect transistor of a low power, and this is realizable.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] SiO which is the example of this invention — it is the band Fig. of a laminated structure called a /distorted Si layer / Si1-xGex distorted impression layer 2 gate dielectric film.

[Drawing 2] It is a band Fig. in the condition of having impressed forward bias to the gate of the structure shown in drawing 1 .

[Drawing 3] It is a band Fig. in the condition of having impressed negative bias to the gate of the structure shown in drawing 1 .

[Drawing 4] It is a band Fig. in the condition of having performed steep n mold doping to the topmost part of the Si1-xGex distorted impression layer of the structure shown in drawing 1 .

[Drawing 5] It is a band Fig. in the condition of having impressed substrate bias voltage to the structure shown in drawing 1 .

[Drawing 6] the SiO2 gate dielectric film / distorted Si layer / distorted Si which is the example of this invention — it is the band Fig. of a laminated structure called a 1-yGey layer / Si1-xGex distorted impression layer.

[Drawing 7] It is cross-section structural drawing of the complementary-type field-effect transistor of the example 1 of this invention.

[Drawing 8] It is cross-section structural drawing of the complementary-type field-effect transistor of the example 2 of this invention.

[Drawing 9] It is cross-section structural drawing of the complementary-type field-effect transistor of the example 3 of this invention.

[Drawing 10] It is cross-section structural drawing of the complementary-type field-effect transistor of the example 4 of this invention.

[Drawing 11] It is cross-section structural drawing of the complementary-type field-effect transistor of the example 5 of this invention.

[Drawing 12] It is cross-section structural drawing of the complementary-type field-effect transistor of the example 6 of this invention.

[Drawing 13] It is cross-section structural drawing of the complementary-type field-effect transistor of the example 7 of this invention.

[Drawing 14] It is the sectional view of the SOI substrate of the example 8 of this invention.

[Drawing 15] It is the sectional view of the SOI substrate of the example 9 of this invention.

[Drawing 16] It is the production process sectional view of the SOI substrate of the example 10 of this invention.

[Description of Notations]

1 — A distorted Si layer, 2 — An Si1-xGex distorted impression layer, 3 — SiO2 gate insulating layer, 4 [— The band gap of Si1-xGex,] — A conduction band, 5 — A valence band, 6 — The band gap of distorted Si, 7 8 [— Three Kadoi doors of the conduction band in the distorted Si layer gate dielectric film / near a distorted Si layer interface,] — Conduction band discontinuity, 9 — Valence band — Discontinuity, 10 11 — Three Kadoi doors of the valence band in the distorted Si layer gate dielectric film / near a distorted Si layer interface, 12 — Three Kadoi doors of the valence band in the distorted Si1-xGex distorted impression layer 2 near Si layer / Si1-xGex distorted impression layer interface, 13 [— Gate,] — Si substrate, 14 — A source electrode, 15 — A drain electrode, 16 17 — p mold source drain field, 18 — n mold source drain field, 19 — Isolation insulating region, 20 — Three Kadoi doors of the valence band in the distorted Si1-yGey layer near a distorted Si layer / distorted Si1-yGey layer interface, 21 — A steep n mold doping layer, 22 — A bias impression electrode, 23 — Si1-xGex drain layer, 24 — 0.5 layers of Si0.5germanium, 25 — Distorted Si1-yGey layer (0< y<=1), 26 [— A support substrate, 30 / — 40 Si0.5germanium0.5 barrier layer 41 / — 42 The top-most vertices of 3 Kadoi doors of a conduction band, 43 / — Top-most vertices of 3 Kadoi doors of a valence band.] — SiO2 insulating layer, 27 — A junction location, 28 — A cutting location, 29

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-286418

(P2000-286418A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 29/78
21/8238
27/092

H 0 1 L 29/78
27/08
29/78

3 0 1 B 5 F 0 4 0
3 2 1 B 5 F 0 4 8
3 0 1 H
3 0 1 Q

審査請求 未請求 請求項の数28 O L (全 12 頁)

(21) 出願番号

特願平11-87831

(22) 出願日

平成11年3月30日 (1999. 3. 30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 杉井 信之

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中川 消和

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体基板

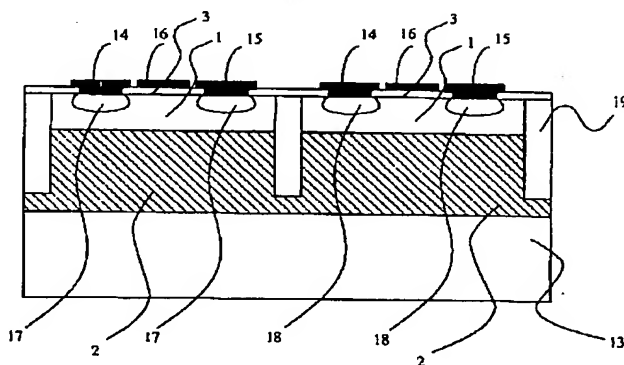
(57) 【要約】

【課題】 Siおよびこれと同族元素であるGe, Cなどの組合せを用いて、低消費電力で高速な電界効果トランジスタを有する半導体装置を提供する。

【解決手段】 電界効果トランジスタのチャンネルが形成されるチャンネル形成層1に歪印加半導体層2により歪を印加せしめ、チャンネル中のキャリアの移動度を無歪のチャンネル形成層の材料より大きくする。

【効果】 高速かつ低消費電力の相補型電界効果トランジスタを実現できる。

図7



【特許請求の範囲】

【請求項 1】電界効果トランジスタのチャンネルが形成されるチャンネル形成層と、該チャンネル形成層の格子に歪を印加せしめる歪印加半導体層を有し、前記チャンネル中のキャリアの移動度は無歪の前記チャンネル形成層の材料より大きいことを特徴とする半導体装置。

【請求項 2】前記チャンネル形成層は Si からなり、該 Si チャンネル形成層の面内の格子定数は無歪の Si より大きいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記電界効果トランジスタのソースドレイン領域は前記チャンネル形成層に形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】前記電界効果トランジスタのソースドレイン領域の一方は前記 Si 半導体層と接した SiGe 層に形成されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】前記電界効果トランジスタのソースドレイン領域の接合深さは、前記 Si チャンネル形成層の厚みよりも小さいことを特徴とする請求項 3 又は 4 に記載の半導体装置。

【請求項 6】前記電界効果トランジスタは p 型であり、前記歪印加半導体層と前記チャンネル形成層との界面付近の前記歪印加半導体層および前記チャンネル形成層の少なくとも一方には前記歪印加半導体層および前記チャンネル形成層に対して n 型を呈する不純物が導入されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の半導体装置。

【請求項 7】前記不純物の導入は前記歪印加半導体層および前記チャンネル形成層の厚さ方向に 0.1nm から 30nm の範囲でなされていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】前記電界効果トランジスタは p 型であり、前記歪印加半導体層はバイアス印加電極を有していることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置。

【請求項 9】チャンネル形成層と該チャンネル形成層の両面に隣接する層との界面の価電子帯の頂点のエネルギーはゲート絶縁膜側の方が大きい p 型電界効果トランジスタを有していることを特徴とする半導体装置。

【請求項 10】チャンネル形成層と該チャンネル形成層の両面に隣接する層との界面の伝導帯の頂点のエネルギーはゲート絶縁膜側の方が小さい n 型電界効果トランジスタを有していることを特徴とする半導体装置。

【請求項 11】電界効果トランジスタのチャンネル中のキャリアに対するエネルギー障壁が、該チャンネルに対しゲート絶縁膜とは反対側に存在しており、前記チャンネルが形成されるチャンネル形成層の格子は歪んでおり、前記チャンネル中のキャリアの移動度は無歪の前記チャンネル形成層の材料より大きいことを特徴とする半導体装置。

【請求項 12】前記電界効果トランジスタは p 型であり、前記チャンネル形成層は Si または Ge からなり、前記 Si

チャンネル形成層の面内の格子定数は無歪の Si より大きく、前記 Ge チャンネル形成層の面内の格子定数は無歪の Ge より小さいことを特徴とする請求項 11 記載の半導体装置。

【請求項 13】前記電界効果トランジスタは n 型であり、前記チャンネル形成層は Si からなり、該 Si チャンネル形成層の面内の格子定数は無歪の Si より大きいことを特徴とする請求項 11 記載の半導体装置。

【請求項 14】前記電界効果トランジスタは前記チャンネル形成層に歪を印加せしめる歪印加半導体層を有していることを特徴とする請求項 9 乃至 13 のいずれか一項に記載の半導体装置。

【請求項 15】前記歪印加半導体層は $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) からなることを特徴とする請求項 2 乃至 8 および 14 のいずれか一項に記載の半導体装置。

【請求項 16】p 型電界効果トランジスタのチャンネルが形成される $\text{Si}_{1-y}\text{Ge}_y$ ($0 < y \leq 1$) からなるチャンネル形成層と、該チャンネル形成層に歪を印加せしめる $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) からなる歪印加半導体層を有しており、前記組成比 y は前記組成比 x より大きく、前記歪印加半導体層は前記チャンネル形成層に対してゲート絶縁膜とは反対側に形成されており、かつ前記チャンネル中のキャリアである正孔に対してエネルギー障壁を構成していることを特徴とする半導体装置。

【請求項 17】前記 Si チャンネル形成層および前記 $\text{Si}_{1-y}\text{Ge}_y$ チャンネル形成層の厚さはそれぞれ 1nm 以上 200nm 以下の範囲にあることを特徴とする請求項 15 又は 16 に記載の半導体装置。

【請求項 18】前記半導体装置は相補型電界効果トランジスタを有しており、前記電界効果トランジスタは該相補型電界効果トランジスタの構成要素であることを特徴とする請求項 1 乃至 17 のいずれか一項に記載の半導体装置。

【請求項 19】前記半導体装置は相補型電界効果トランジスタを有しており、前記電界効果トランジスタは該相補型電界効果トランジスタの構成要素であり、前記相補型電界効果トランジスタを構成する p 型および n 型の前記電界効果トランジスタの前記チャンネル形成層は前記歪印加半導体層の別の領域上に形成されていることを特徴とする請求項 1 乃至 8 及び 14 乃至 17 のいずれか一項に記載の半導体装置。

【請求項 20】前記半導体装置は相補型電界効果トランジスタを有しており、前記電界効果トランジスタは該相補型電界効果トランジスタの構成要素であり、前記相補型電界効果トランジスタを構成する p 型および n 型の前記電界効果トランジスタの前記チャンネル形成層は前記歪印加半導体層上に積層されていることを特徴とする請求項 1 乃至 8 及び 14 乃至 17 のいずれか一項に記載の半導体装置。

【請求項 21】前記歪印加半導体層および前記チャンネル

形成層の面方位は{100}であることを特徴とする請求項 1 乃至 8、14 乃至 17 及び 19 乃至 20 のいずれか一項に記載の半導体装置。

【請求項 22】前記歪印加半導体層および前記チャネル形成層の面方位は{110}であり、該{110}と直交する面内の<110>方向または<001>方向に前記チャネルが形成されていることを特徴とする請求項 1 乃至 8、14 乃至 17 及び 19 乃至 20 のいずれか一項に記載の半導体装置。

【請求項 23】前記チャネルの方向は、n 型の電界効果トランジスタの場合前記<110>方向であり、p 型の電界効果トランジスタの場合前記<110>方向または前記<001>方向であることを特徴とする請求項 22 記載の半導体装置。

【請求項 24】Si 単結晶上に $\text{Si}_{1-x}\text{Ge}_x$ 層 ($0 < x < 1$)、厚さが 1nm 以上 100nm 以下の第 1 の Si 層、 SiO_2 絶縁層および厚さが 1nm 以上 100nm 以下の第 2 の Si 層がこの順序で積層されていることを特徴とする半導体基板。

【請求項 25】支持基板上に絶縁層、Si 層および $\text{Si}_{1-x}\text{Ge}_x$ 層 ($0 < x < 1$) がこの順序で積層されていることを特徴とする半導体基板。

【請求項 26】支持基板上に絶縁層および Si 層がこの順序で積層されており、かつ前記 Si 層の面内の格子定数は無歪の Si に比べて 4% 未満大きいことを特徴とする半導体基板。

【請求項 27】前記 $\text{Si}_{1-x}\text{Ge}_x$ 層および前記 Si 層の面方位は{100}であることを特徴とする請求項 24 乃至 26 のいずれか一項に記載の半導体基板。

【請求項 28】前記 $\text{Si}_{1-x}\text{Ge}_x$ 層および前記 Si 層の面方位は{110}であることを特徴とする請求項 24 乃至 26 のいずれか一項に記載の半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に電界効果トランジスタを含む半導体装置に関する。

【0002】

【従来の技術】SiMOS 型電界効果トランジスタ (Si-MOSFET) を用いた集積回路では、いわゆるスケーリング則にのっとり、デバイス寸法の縮小や動作電圧の低減などを行うことにより、消費電力の低減と、高速化を両立してきた。

【0003】しかしながら、寸法縮小に伴い発生する短チャンネル効果の問題や、低電圧化した場合に顕著になる、ドレイン電圧としきい値電圧の近接による動作マージンの低下など、多くの問題点が生じてきている。

【0004】また、高速化の指標となる移動度に目を向けると、上記のさまざまな改良が、皮肉なことに実デバイスにおける Si の移動度を 100 以下と、バルクの値をはるかに下回らせる結果に陥れている。

【0005】このように従来の Si-MOSFET ではもはや性

能向上がきわめて困難になってきている。

【0006】

【発明が解決しようとする課題】これ以上の性能向上には、半導体材料そのものの改良で高速化を図る必要性がある。本質的に高速である所謂化合物半導体を用いることは、ひとつの解答ではあるものの、Si 集積回路の製造技術との融合性の点ではなはだ困難であり、かつ製造コストが膨大になるため、現実的な解決策ではない。

【0007】本発明の目的は、Si およびこれと同族元素である Ge、C などの組合せを用いて、低消費電力で高速な電界効果トランジスタを有する半導体装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、電界効果トランジスタのチャネルが形成されるチャネル形成層に歪印加半導体層により歪を印加せしめ、チャネル中のキャリアの移動度を無歪のチャネル形成層の材料より大きくすることにより達成できる。例えば、チャネル形成層の材料が Si の場合は、歪印加により Si チャネル形成層の面内の格子定数を無歪の Si より大きくする。

【0009】Si あるいは Ge に歪を印加すると、歪を受けない Si あるいは Ge に比べてキャリアの移動度が增大することが示唆されている (M. V. Fischetti and S. E. Laux: J. Appl. Phys. 80 (1996) 2234)。これは、サファイア上に Si を堆積すると、Si が面内歪を受けることにより移動度が増加する現象と起源を同じくし、古くから知られていることである。本発明はこの現象を応用して電界効果トランジスタおよびそれを用いた集積回路等の半導体装置を作製するものである。

【0010】また上記目的は、チャネル形成層とこのチャネル形成層の両面に隣接する層との界面の価電子帯の頂点のエネルギーを、ゲート絶縁膜側の方を他方より大きくした p 型電界効果トランジスタを有する半導体装置によっても達成できる。

【0011】また上記目的は、チャネル形成層とこのチャネル形成層の両面に隣接する層との界面の伝導帯の頂点のエネルギーを、ゲート絶縁膜側の方を他方より小さくした n 型電界効果トランジスタを有する半導体装置によっても達成できる。

【0012】また上記目的は、電界効果トランジスタのチャネル中のキャリアに対するエネルギー障壁が、チャネルに対しゲート絶縁膜とは反対側に存在する構造とし、かつチャネルが形成されるチャネル形成層の格子歪ませて、チャネル中のキャリアの移動度を無歪のチャネル形成層の材料より大きくすることによっても達成できる。

【0013】

【発明の実施の形態】はじめに歪を受けた Si をチャネルとする電界効果トランジスタのバンド構造と動作原理について説明する。Si に歪を与える歪印加層には $\text{Si}_{1-x}\text{Ge}_x$

($0 < x < 1$) を用いることが適当である。図1にSiO₂ゲート絶縁膜3/歪Si層1/Si_{1-x}Ge_x歪印加層2という積層構造のバンド図を示す。歪Si層1のバンドギャップ6はSi_{1-x}Ge_x歪印加層2のバンドギャップ7よりも広く、しかも価電子帯5、伝導帯4ともにエネルギーが下がるタイプのバンド不連続を示す。

【0014】さて、*n*型の電界効果トランジスタの場合、ゲートに正の電圧を印加してやると、図2のようにゲート絶縁膜3と歪Si層1の界面付近でバンドが曲がり、この部分に出来た歪Si層1中の伝導帯の三角井戸10に電子が蓄積され、トランジスタ動作を行うことが出来る。これは通常のMOS型電界効果トランジスタと全く同じである。

【0015】また、*P*型の電界効果トランジスタの場合、ゲートに負の電圧を印加してやると、図3のようにゲート絶縁膜3と歪Si層1の界面付近でバンドが曲がる。ところが、この部分に出来た歪Si層1中の価電子帯の三角井戸11よりも、歪Si層1とSi_{1-x}Ge_x歪印加層2の界面に出来たSi_{1-x}Ge_x歪印加層2中の価電子帯の三角井戸12に多くの正孔が蓄積されてしまう。しかし、歪Si層1に比べてSi_{1-x}Ge_x歪印加層2内の正孔の移動度は著しく小さいため、通常のMOS型電界効果トランジスタと比較して速度の向上が図れないという問題がある。また、相補型電界効果トランジスタを構成した場合に、pn両チャンネル間のバランスが取り難くなるという問題がある。

【0016】このような問題を解決するためには、三角井戸12中の正孔の蓄積を減らせば良く、その方法として以下に示すものがある。1番目の方法は、ソース・ドレインの接合深さを歪Si層1の厚さよりも十分に浅くすることにより、Si_{1-x}Ge_x歪印加層2への正孔の流出を防止する。具体的には、歪Si層1の厚みがたとえば70nmのときに接合深さを40nm程度にすれば良い。これは、チャンネル長0.1ミクロン以下の短チャンネルデバイスで用いられる値と大差ない値であるので、充分実現可能な値である。

【0017】2番目の方法は、Si_{1-x}Ge_x歪印加層2の歪Si層1との界面付近に好ましくは深さ0.1~30nmの範囲で、急峻に*n*型ドーピングを行なう方法である。この方法により、図4に示すように、Si_{1-x}Ge_x歪印加層2中の価電子帯の三角井戸12の頂点43のエネルギーレベルが低下する。例えば、歪Si層1中の価電子帯の三角井戸11の頂点42のエネルギーレベルよりも低くなる。その結果、三角井戸12中の正孔の蓄積が減る。この方法は、歪Si層1または歪Si層1とSi_{1-x}Ge_x歪印加層2の両方に*n*型ドーピングすることによっても実現できる。これらの場合も、ドーピング深さは0.1~30nmの範囲が好ましい。

【0018】3番目の方法は、Si_{1-x}Ge_x歪印加層2側に正の電圧が印加されるように基板バイアス電圧を制御

する方法である。この方法により、図5に示すように、Si_{1-x}Ge_x歪印加層2側が下がった右下がりのバンド構造となり、歪Si層1中の価電子帯の三角井戸11の頂点42のエネルギーレベルよりも、Si_{1-x}Ge_x歪印加層2中の価電子帯の三角井戸12の頂点43のエネルギーレベルの方が低くなる。その結果、三角井戸12中の正孔の蓄積が減る。

【0019】以上述べたように、歪Siチャンネルから歪印加層への正孔の流出を防止することが、*p*型電界効果トランジスタあるいは相補型電界効果トランジスタの実現に不可欠な要因である。さらに、デバイスの高速化と低電圧化を図るために、次に示すような構成をとることも有効である。すなわち、*p*型電界効果トランジスタの場合はドレイン領域、*n*型電界効果トランジスタの場合はソース領域の材料をSi_{1-x}Ge_x歪印加層と同一の母材望ましくは同一組成比とする。このようにすると、歪SiとSiGeとのバンド不連続によりソース・ドレイン間の電界の分布が変化し、より効果的にキャリアを加速することが可能となる。これにより、更なる高速化が図れると共に、ピンチオフ電圧の低下によってより低電圧での動作が可能となる。

【0020】これまで、電子・正孔ともに歪Siをチャンネルとするトランジスタについて述べてきたが、正孔については歪Si_{1-y}Ge_y ($0 < y \leq 1$) をチャンネルとして用いると、さらに高移動度化、すなわち高速化が実現する。歪印加層にSi_{1-x}Ge_xを用いた場合、その上に積層するSiには面内引張り歪が、Si_{1-y}Ge_yには面内圧縮歪が印加される。

【0021】Si_{1-x}Ge_x歪印加層2の上に歪Si_{1-y}Ge_y層25、歪Si層1、ゲート絶縁膜3の順に積層した場合、図6に示すようなバンド図になり、歪Si層1とゲート絶縁膜3の界面付近の歪Si層1中の伝導帯の三角井戸10に電子が、歪Si層1と歪Si_{1-y}Ge_y層25の界面付近の歪Si_{1-y}Ge_y層25中の価電子帯の三角井戸20に正孔が蓄積される。歪Si層1を正孔のチャンネルに用いる場合と異なり、正孔の歪印加層2への流出は起こりにくくなる。歪Si層1と歪Si_{1-y}Ge_y層25の積層順序はどちらを上にしてもデバイスとして動作させることは可能である。但し、歪Si_{1-y}Ge_y層25内の正孔の移動度の方が歪Si層1内の電子の移動度よりも高くなるため、相補型電界効果トランジスタを構成したときの相互コンダクタンスの平衡を考慮すると、歪Si_{1-y}Ge_y層25がゲート電極より遠い、つまり歪Si層1の下にある構成のほうが望ましい。

【0022】また、歪Si層1あるいは歪Si_{1-y}Ge_y層25とゲート絶縁膜3の間にもう一層SiGe層をはさんでも良い。この場合、電子あるいは正孔はこのSiGe層との界面付近の歪Si層1あるいは歪Si_{1-y}Ge_y層25に蓄積されるので、ゲート絶縁膜3の界面準位や散乱の影響を受けないですむ。

【0023】また、歪Si層と歪Si_{1-y}Ge_y層は積層せず

に、選択成長法などを用いて、pチャネルの領域では歪 $\text{Si}_{1-y}\text{Ge}_y$ 層を、nチャネルの領域では歪 Si 層を成長するようにしてもよい。

【0024】歪印加層には、 $\text{Si}_{1-x}\text{Ge}_x$ を用いることが望ましい。 Si と Ge では Ge の格子定数がおよそ4%ほど大きい。 $\text{Si}_{1-x}\text{Ge}_x$ は Ge 組成比 x に応じて格子定数が内挿値をとる。したがって、適当な x を選べば、その上に積層する Si あるいは Ge に所望の歪を印加することが出来る。例えば、 x を0.5とすれば Si 、 Ge それぞれ2%の面内引張歪と面内圧縮歪を印加できる。 x の選び方によって、 Si と $\text{Si}_{1-y}\text{Ge}_y$ の歪の大きさを適当に制御することができる。すなわち、歪 Si 層の面内の格子定数を無歪の Si に対して4%未満の範囲で大きくでき、歪 $\text{Si}_{1-y}\text{Ge}_y$ 層の面内の格子定数を無歪の Ge に対して4%未満の範囲で小さくできる。これによって電子と正孔の移動度のバランスを制御できるので、相補型電界効果トランジスタの相互コンダクタンスのバランスをとることが出来る。従来の相補型電界効果トランジスタでは素子の寸法を変えることのみにより調整していたが、本法ではさらに設計の自由度が増し、高集積化にも有利になる。

【0025】歪の制御は $\text{Si}_{1-x}\text{Ge}_x$ の Ge 組成比 x を変化する以外にも、 C を加えて $(\text{Si}_{1-x}\text{Ge}_x)_{1-y}\text{C}_y$ の組成比 y を変化させても良い。 C を加える方法としては、歪印加層の成長時に C を添加させても良いし、歪印加層を成長した後にイオン注入などの方法によって加えてもよい。

【0026】歪印加層は一定組成の $\text{Si}_{1-x}\text{Ge}_x$ を成長する方法、 Si 基板から成長方向に向かって徐々に組成比 x を増加させていく方法、いわゆるグレーデッドバッファ層としても良い。また、 Si 基板上に低温で欠陥密度の高い Si 層を成長したり、水素、 Si あるいは Ge などのイオン打ち込みなどの方法で欠陥層を形成し、しかる後に $\text{Si}_{1-x}\text{Ge}_x$ を成長すると、 Si 基板上に直接 $\text{Si}_{1-x}\text{Ge}_x$ を成長した時に比べて貫通転移密度を減らすことができ、さらに表面の平坦性を良好になるため、好ましい。

【0027】また、基板および歪印加層の部分をいわゆるSOI (Silicon on insulator) 構造にすると、浮遊容量の低減により一層の高速化が図れるようになる。SOIには貼り合せ式SOI基板やSIMOX (Separation by Implanted Oxygen) 基板などが市販されており、この基板上に $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層を成長することによりSOIの特長を生かした歪 Si ($\text{Si}_{1-y}\text{Ge}_y$ ($0 < y \leq 1$)) 電界効果トランジスタを製造できる。

【0028】また、 Si 基板上にまず $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層を成長し、しかる後に酸素イオンを打ち込み、熱処理を行うことにより、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層ないしはその直下の Si 中に SiO_2 絶縁層を埋め込み、しかる後に歪 Si 層を成長する方法、あるいは、 Si 基板上にまず $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層および歪 Si 層を成長し、しかる後に酸素イオンを打ち込み熱処理を行うことにより、歪 Si 層内部に SiO_2 絶縁層を埋め込む方法を用いることも可能である。これらの方法を

用いると、SOI活性層の厚みを薄く出来て素子分離に優れ、pMOS、nMOS用のウェル層が不要になる。また、後者の場合、歪 Si 層の直下に SiO_2 絶縁層があるため、前記したようなpMOSにおける正孔の歪印加層への流出の問題が生じない。

【0029】あるいはまた、 Si 基板上に $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層を成長し、さらに Si 層を成長した後、この Si 層の一部ないしは全部を熱酸化した基板を用意する。あるいは Si 層の熱酸化の代わりに $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層の上に SiO_2 層を気相成長法などで成長しても良い。そして、これと別に用意した支持基板と SiO_2 を向かい合わせて貼り合せ、さらに $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層を成長した側の Si 基板を研磨する、あるいは水素イオンの打ち込みや途中に多孔質 Si 層を挿入しておくなどの手法により切断を行って、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層を露出させると、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層付きの貼り合せSOI基板が製造できる。この方法によれば、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層のうち Si 基板に近い、欠陥密度の高い部分を除去することが出来るため欠陥密度の低減が図れ、さらに研磨やエッチングなどを行えば表面平坦性の確保も容易になる。また、この方法により、SOI活性層の厚みを薄く出来て素子分離に優れ、pMOS、nMOS用のウェル層が不要になる。

【0030】上記貼り合せSOI基板の切断に際しては、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層を残しておく必要は必ずしもない。すなわち、 Si 基板上に $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層を成長し、さらに歪 Si 層を成長し、その一部を熱酸化した基板を別に用意した支持基板と SiO_2 を向かい合わせて貼り合せ、歪 Si 層の部分を残して切断あるいは研磨を行い、 SiO_2 層の上に歪 Si 層が載った基板を製造することが出来る。この基板は、見かけは従来の貼り合せSOI基板とまったく変わらず、ただSOI層に歪がかかっているだけである。したがって、従来のSOI基板とまったく同様に扱うことが出来て、素子分離に優れ、pMOS、nMOS用のウェル層が不要になり、かつ、歪の効果によりSOI活性層の有効質量が軽く、電子・正孔移動度が高いという歪 Si の特徴を備えることになる。また、歪 Si 層の直下に SiO_2 絶縁層があるため、前記したようなpMOSにおける正孔の歪印加層への流出の問題が生じない。

【0031】歪 Si 層の厚みには一定の制限がある。なぜなら、歪の大きさによって無転移で成長できる歪 Si 層の膜厚の上限が存在するからである。これを臨界膜厚と呼んでおり、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層に歪 Si 層を成長させた場合でいえば、例えば $x=0.2$ のとき歪の大きさは約0.8%で臨界膜厚は100nm前後、 $x=0.5$ のとき歪の大きさは約2%で臨界膜厚は10nm前後になる。ただし、この臨界膜厚の大きさは歪 Si 層の成長条件に依存しており一義的に決定できるものではない。また、SOI基板と歪 Si 層を組み合わせた場合のように間に酸化膜層が挿入されている構造の場合も上記の制限とは異なってくる。しかしながら、実用上有意な歪の大きさを実現させる組成である x が0.2か

ら0.8程度の範囲、歪にして0.8から3.2%程度の範囲で、歪Si層の膜厚が1nmから200nmの範囲にあることが望ましい。1nm未満では電界効果トランジスタでチャンネルを形成する活性層の厚みとして不充分であるし、200nmより厚いと転移の発生が始まり、電気特性への悪影響が出始めるからである。

【0032】用いる基板結晶の面方位の選択と、チャンネルでのキャリア走行方向の関係の選択は、より高速な動作をさせる場合に必要な要件である。

【0033】基板面方位として{100}面を用いることは、従来の多くのSi半導体素子がこの面方位を用いることから、従来素子との結合、同一プロセスの利用といった点で有利であるとともに、歪を印加させたときの移動度も大きく増大し、望ましい結晶方位である。この場合チャンネルの面内方向は<110>、あるいは<001>方向とすることが、エピ成長やエッチングなどのプロセスの制御性を高める上で有利である。

【0034】基板面方位として{110}面を用いることも可能である。この場合、チャンネルの方向としては<110>、あるいは<001>方向とすることが歪を印加することによる移動度の増大の点で有利である。また、電子のチャンネルとしては<110>方向を用いるとさらに望ましい。ただし、nMOSFETとpMOSFETのバランスを考慮した場合に、必ずしもこの配置である必要はない。

【0035】以上に記述したように、チャンネルを形成する活性層に歪を加えた電界効果トランジスタないしは相補型電界効果トランジスタおよびこれを用いた半導体装置は、従来に比べて、チャンネルを流れるキャリアの有効質量が軽く、従って移動度が高く、高速化が図れ、さらに素子の高集積化、高性能化が図れるために、その工業的価値は極めて高い。

【0036】以下、実施例により本発明を詳細に説明する。

【0037】実施例1

図7は、本実施例に係るCMOSFETの断面図である。Si基板13を洗浄した後、ただちに化学気相成長装置に導入し、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 歪印加層2を成長する。Si基板13の面方位は{100}とする。膜厚は500nmとする。原料には Si_2H_6 および GeH_4 を用い、成長温度700°Cで成長する。ここで、導電型決定のためのドーピングは行わない。 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xはいかようにも制御可能であるが、歪Si層1へ印加する歪の適正化のためには、xで0.2-0.4にすると良い結果が得られる。

【0038】次に、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2上に化学気相成長法により歪Si層1を形成する。ここで、導電型決定のためのドーピングは行わない。膜厚は60nmとした。この層は $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の格子定数がSiより大きいことから面内引っ張り歪を受けている。これにより、この中のキャリア（電子および正孔）移動度は、無歪Si中よりも大きくなる。なお、Si層およびSiGe層の成長は化学気

相成長法に限らない。

【0039】次に、トレンチ分離法により素子分離絶縁領域19を形成し、歪Si層1の下部および $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2にわたってウェル形成用イオン打込みを行う。PMOS領域の下部にはP等のV族元素を注入してn型とし、NMOS領域の下部にはB等のIII族元素を注入してp型とする。さらに、歪Si層1の上部に、PMOS領域にはIII族元素、NMOS領域にはV族元素を注入してしきい値を調整する。

【0040】次に、歪Si層1の表面を熱酸化し、 SiO_2 ゲート絶縁膜3を形成する。さらに、その上にポリシリコンゲート電極16を形成した後、ゲート領域以外をエッチングにより除去する。さらに、セルフアラインによりソースドレイン領域をイオン注入法により形成する。このとき、B等のIII族元素を注入すればp型ソースドレイン領域17が形成でき、P等のV族元素を注入すればn型ソースドレイン領域18が形成できるのでPMOS、NMOSともに同一ウェハ上に作製できる。このとき、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2への漏れ電流を減らすために、イオン注入深さは歪Si層1の厚みの半分以下の30nmとした。最後に、層間絶縁膜（図示せず）を形成し、コンタクトホールをあけ、Al等の金属膜を蒸着し、パターニングし、金属配線を形成して、電界効果トランジスタが完成する。このトランジスタは、同一寸法でSi基板上に直接作製した無歪Siの電界効果トランジスタに比べて、相互コンダクタンスがおおよそ3倍、遮断周波数も2.4倍になった。

【0041】実施例2

図8は、本実施例に係るCMOSFETの断面図である。本実施例は、実施例1におけるソースドレイン領域17、18の深さ30nmを通常の場合の50nmと深くする代わりに、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の形成において、その上部30nmの範囲で、Pドーピングガスを混合して、 10^{18} 毎立法センチメートルの高濃度で、急峻にn型ドーピングを行ったものである。その際、pMOS領域のみにドーピングを行うために、nMOS領域を酸化膜で被覆しておきドーピング後にこれを除去する。

【0042】ただし、急峻ドーピングを行ったpMOS領域にはウェル形成用イオン打込みは行わない。

【0043】本実施例においても、相互コンダクタンスおよび遮断周波数について実施例1と同等の効果が得られた。

【0044】実施例3

図9は、本実施例に係るCMOSFETの断面図である。本実施例は、実施例2における急峻ドーピングの代わりに、pMOSのウェル領域に正のバイアスを印加したものである。

【0045】具体的には、素子領域外で、pMOSの $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2までコンタクトホールを開け、そこにオーミック電極を形成し、バイアス印加電極22とする。

【0046】バイアス印加電極22に+1Vの電圧を印加

することにより、バイアス印加なしの場合と比較して、パンチスルー電流を5%以下に低減させることが出来た。

【0047】なお、実施例1乃至3の方法は、同時に適用できる方法であり、2種あるいは3種を組み合わせることができる。

【0048】実施例4

図10は、本実施例に係るCMOSFETの断面図である。本実施例は、実施例1における歪Si層1のp型MOSFETのドレイン領域15、n型MOSFETのソース領域14を選択的にエッチングし、その部分を $\text{Si}_{1-x}\text{Ge}_x$ 層23を選択成長して埋め戻すものである。なお、この部分の表面層5nmはSiとし、以後のプロセスによる $\text{Si}_{1-x}\text{Ge}_x$ 層23の損傷を防止する。

【0049】本実施例のトランジスタは、従来型MOSFETでよく用いられる動作電圧3Vに比べ、これを低減できる。

【0050】実施例5

図11は、本実施例に係るCMOSFETの断面図である。本実施例の特徴は、歪Ge層をPMOSのチャネルとして用いたことにある。

【0051】Si基板13にあらかじめ水素イオン打込みにより表面から100nmの領域にわたって高欠陥密度層を形成する。この基板を洗浄した後、ただちに化学気相成長装置に導入し、xを0.3から成長方向に向かって0.5まで変化させた $\text{Si}_{1-x}\text{Ge}_x$ からなる歪印加層の下層2を成長する。膜厚は300nmとする。原料には Si_2H_6 および GeH_4 を用い、成長温度700°Cで成長する。

【0052】さらに $\text{Si}_0.5\text{Ge}_0.5$ からなる歪印加層の上層24を膜厚30nm、歪Ge層25を膜厚10nm、歪Si層1を膜厚13nmで順に同様に積層形成する。なお、Si、GeおよびSiGe層の成長は化学気相成長法に限らず、上記組成の結晶成長が可能な方法であれば良い。歪Ge層25は面内圧縮応力を受け、歪Si層1は面内引っ張り応力を受ける。これにより、歪Ge層25の正孔、歪Si層1の電子ともに通常のSiに比べて有効質量が低減され、移動度が上昇する。

【0053】次に、実施例1と同様の方法で、素子分離絶縁領域19形成、歪印加層の上層である $\text{Si}_0.5\text{Ge}_0.5$ 層24および下層である $\text{Si}_{1-x}\text{Ge}_x$ 層2にわたってのウェル形成用イオン打込み、ならびに歪Si層1の上部および歪Ge層25の上部にしきい値調整用低濃度イオン打込みを行う。続いて、 SiO_2 ゲート酸化膜3の形成、ゲート電極16の形成、ソースドレイン領域17、18の形成を行う。ソースドレイン領域17、18のイオン注入深さはnMOSに対しては歪Si層1の厚みと同程度の10nmとし、pMOSに対しては歪Ge層25に達する20nmとした。最後に、層間絶縁膜の形成、コンタクトホールあけ、金属配線の形成を行いCMOSFETが完成する。

【0054】本実施例では $x=0.5$ の $\text{Si}_0.5\text{Ge}_0.5$ 層24を

歪印加層の上層として成長しているの、歪Si層1および歪Ge層25へ与える歪印加量が大きい。

【0055】本実施例では、チャネルに歪Ge層を用いたが、Siを混ぜた歪 $\text{Si}_{1-y}\text{Ge}_y$ 層($0 < y < 1$)を用いることもできる。この場合、組成比yは $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層の組成比xより大きくする。

【0056】実施例6

図12は、本実施例に係るCMOSFETの断面図である。本実施例、実施例5における歪Si層1上に $\text{Si}_0.5\text{Ge}_0.5$ 障壁層30を2nm形成したものである。

【0057】このように、 $\text{Si}_0.5\text{Ge}_0.5$ 障壁層30を歪Si層1とゲート絶縁膜3の間に設けているので、電子は歪Si層1とゲート絶縁膜3界面の散乱を受けず、 $\text{Si}_0.5\text{Ge}_0.5$ 障壁層30と歪Si層1の界面付近の歪Si層1中に蓄積される。

【0058】また、本実施例では歪Ge層25の上部に歪Si層1を積層したが、この順序は逆にしても構わない。ソースドレイン領域1718のイオン注入深さはnMOSに対しては歪Si層1の厚さと同程度の12nmとし、pMOSに対しては歪Ge層25に達する22nmとする。

【0059】実施例7

図13は、本実施例に係るCMOSFETの断面図である。本実施例は、実施例5における歪Si層1と歪Ge層25を積層せず並列配置したものである。

【0060】具体的には、 $\text{Si}_0.5\text{Ge}_0.5$ 歪印加層24上にpMOS領域には歪Ge層25を10nm、nMOS領域には歪Si層1を12nm選択成長させる。歪Ge層25は面内圧縮応力を受け、歪Si層1は面内引っ張り応力を受けている。これにより、歪Ge層25の正孔、歪Si層1の電子ともに通常のSiに比べて有効質量が低減され、移動度が上昇する。

【0061】実施例8

図14は、本実施例に係るS01基板の断面図である。表面に100nm厚みの高欠陥密度エピ層を形成したSi基板13を洗浄した後、ただちに化学気相成長装置に導入し、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2を成長する。膜厚は150nmとする。原料には Si_2H_6 および GeH_4 を用い、成長温度700°Cで成長する。 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xはいかようにも制御可能であるが、後で形成する歪Si層1へ印加する歪みの適正化のためには、xを0.2-0.4とすると良い結果が得られる。本実施例では0.3とする。なお、SiおよびSiGe層の成長は化学気相成長法に限らず、上記組成の結晶成長が可能な方法であれば良い。

【0062】次に酸素イオンを加速電圧180KeV、ドーズ量 $4 \times 10^{17}/\text{cm}^2$ の条件で $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の上から注入し、1350°Cで8時間アニールを行う。これにより、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の直下に SiO_2 絶縁層26が形成される。 SiO_2 絶縁層26の厚みは凡そ100nmであり、絶縁耐圧50V以上が確保される。アニール処理により、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2は欠陥密度が極めて低く、平坦でかつ歪み緩和が十分になされる。さらに、この上部に厚さ60nmの

歪Si層1を化学気相成長法で形成する。

【0063】以後、発明の実施例1等と同様のプロセスを用いて、CMOSFETを製造することができる。なお、本基板を用いることによりウェル層のイオン注入が不要になる。

【0064】また、浮遊容量が大幅に低減されるため、実装レベルでの動作速度を通常のSi基板使用時に比べ40%ほど高めることが出来た。

【0065】実施例9

図15はSOL基板の他の実施例の断面図である。実施例8と同様の方法で $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2まで形成した後、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の上に厚さ120nmの歪Si層1を化学気相成長法で形成する。次に、酸素イオンを加速電圧50 KeV、ドーズ量 $2 \times 10^{17}/\text{cm}^2$ の条件で歪Si層1の上から注入し、1300°Cで8時間アニールを行う。これにより、歪Si層1の内部に SiO_2 絶縁層26が形成される。 SiO_2 絶縁層26の厚みは凡そ30nmとなる。

【0066】本実施例では、ウェル層のイオン注入が不要になる他、pMOSでの正孔のSiGe歪印加層への流出が起こり難いため、ドーピングやバイアス印加等による正孔の流出防止策を特に用いる必要はない。

【0067】実施例10

図16は、本実施例に係るSOL基板の製造工程断面図である。まず、図16(a)に示すように、表面に100nm厚みの高欠陥密度エピ層を形成したSi基板13を洗浄した後、ただちに化学気相成長装置に導入し、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2を成長する。膜厚は300nmとする。原料には Si_2H_6 および GeH_4 を用い、成長温度700°Cで成長する。 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xはいかようにも制御可能であるが、歪Si層1へ印加する歪みの適正化のためには、xを0.2-0.4とすると良い結果が得られる。本実施例では0.3とする。なお、SiおよびSiGe層の成長は化学気相成長法に限らず、上記組成の結晶成長が可能な方法であれば良い。またSi基板13の代わりにGe基板あるいはSiGe混晶基板を用いても良い。Geの混晶比xが大きい場合、Ge

基板やGe混晶比の大きいSiGe基板を用いるほうが、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の成長が容易、あるいは不要になる。

【0068】次に歪Si層1を成長し、表面を熱酸化し、次いで切断位置28の深さに水素イオンを注入し、この位置に損傷層を形成する。こうして図16(a)に示す状態になる。切断位置28は $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の内部としても良いし、歪Si層1の内部としても良い。

【0069】さらに表面の酸化膜と別に用意した支持基板29を接合位置27で接合し、図16(b)のような状態になる。次いで500°Cでアニールすると切断位置28で切断され、切断位置28が $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の内部の場合は図16(c)のような状態になり、歪Si層1の内部の場合は図16(d)のような状態になる。図16(c)に示す場合は、さらに表面に60nmの歪Si層1をエピタキシャル成長させる。

【0070】以後、発明の実施例1等と同様のプロセスを用いて、CMOSFETを製造することができる。なお、本基板を用いることによりウェル層のイオン注入が不要になる。さらに、図16(d)の構造の場合にはpMOSでの正孔のSiGe歪印加層への流出が起こらないため、ドーピングやバイアス印加等による正孔の流出防止策が不要になる。

【0071】また、浮遊容量が大幅に低減されるため、実装レベルでの動作速度を通常のSi基板使用時に比べ40%ほど高めることが出来た。

【0072】実施例11

実施例1で示した方法で、{100}面のSi基板13を用いて相補型電界効果トランジスタを $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xを種々変えて作製し、素子の相互コンダクタンスから歪Siチャネル中の<001>方向の電子および正孔の移動度を見積ると、表1に示すように混晶比が0.2程度でも移動度の増加がかなり大きい。単位は、歪が%（正の値が引張歪）、移動度が cm^2/Vs である。

【0073】

表1

Ge組成比x	歪	電子移動度	正孔移動度
0	0	1300	400
0.1	0.4	2600	850
0.2	0.8	3300	2000
0.3	1.2	3550	3100
0.4	1.6	3500	4500
0.5	2.0	3450	5200
0.6	2.4	3400	6100

実施例7で示した方法で、{100}面のSi基板13を用いてpMOSFETを $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xを種々変えて作製し、素子の相互コンダクタンスから歪Geチャネル中の<001>方向の正孔の移動度を見積ると、表2に示すように面内圧縮歪を受けるに従い移動度が飛躍的に大きくなる。単位は、歪が%（正の値が引張歪）、移動度

が cm^2/Vs である。

【0074】表2

Ge組成比x	歪	正孔移動度
1.0	0	1900
0.9	-0.4	2800
0.8	-0.8	4100

0.7	-1.2	7000
0.6	-1.6	9000
0.5	-2.0	12000
0.4	-2.4	13500

実施例1で示した方法で、{110}面のSi基板13を用いて相補型電界効果トランジスタを作製し、素子の相互コ

表3

Ge組成比x	歪	方位
0.2	0.8	<:001>:
0.2	0.8	<:110>:
0.3	1.2	<:001>:
0.3	1.2	<:110>:

【0076】

【発明の効果】本発明によれば高速かつ低消費電力の相補型電界効果トランジスタおよびこれを内蔵する半導体装置を実現できる。

【図面の簡単な説明】

【図1】本発明の具体例であるSiO₂ゲート絶縁膜／歪Si層／Si_{1-x}Ge_x歪印加層という積層構造のバンド図である。

【図2】図1に示す構造のゲートに正のバイアスを印加した状態のバンド図である。

【図3】図1に示す構造のゲートに負のバイアスを印加した状態のバンド図である。

【図4】図1に示す構造のSi_{1-x}Ge_x歪印加層の最上部に急峻n型ドーピングを施した状態のバンド図である。

【図5】図1に示す構造に基板バイアス電圧を印加した状態のバンド図である。

【図6】本発明の具体例であるSiO₂ゲート絶縁膜／歪Si層／歪Si_{1-y}Ge_y層／Si_{1-x}Ge_x歪印加層という積層構造のバンド図である。

【図7】本発明の実施例1の相補型電界効果トランジスタの断面構造図である。

【図8】本発明の実施例2の相補型電界効果トランジスタの断面構造図である。

【図9】本発明の実施例3の相補型電界効果トランジスタの断面構造図である。

【図10】本発明の実施例4の相補型電界効果トランジスタの断面構造図である。

【図11】本発明の実施例5の相補型電界効果トランジスタの断面構造図である。

【図12】本発明の実施例6の相補型電界効果トランジ

スタの断面構造図である。
ンダクタンスから歪Siチャネル中の<:001>:方向、<:110>:方向の電子および正孔の移動度を見積ると、表3に示すように電子移動度は<:110>:方向の方が大きくなる。単位は、歪が%（正の値が引張歪）、移動度がcm²/Vsである。

【0075】

電子移動度	正孔移動度
900	1800
3100	1800
900	2700
3300	2700

スタの断面構造図である。

【図13】本発明の実施例7の相補型電界効果トランジスタの断面構造図である。

【図14】本発明の実施例8のSOI基板の断面図である。

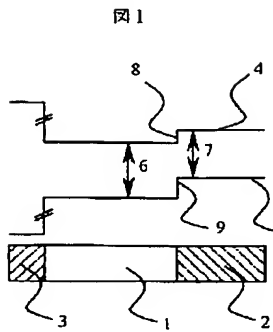
【図15】本発明の実施例9のSOI基板の断面図である。

【図16】本発明の実施例10のSOI基板の製造工程断面図である。

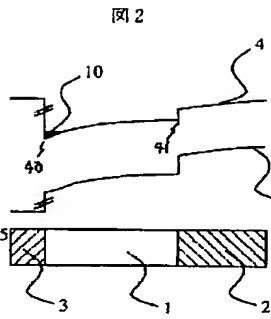
【符号の説明】

1…歪Si層、2…Si_{1-x}Ge_x歪印加層、3…SiO₂ゲート絶縁層、4…伝導帯、5…価電子帯、6…歪Siのバンドギャップ、7…Si_{1-x}Ge_xのバンドギャップ、8…伝導帯不連続、9…価電子帯…不連続、10…ゲート絶縁膜／歪Si層界面付近の歪Si層中の伝導帯の三角井戸、11…ゲート絶縁膜／歪Si層界面付近の歪Si層中の価電子帯の三角井戸、12…歪Si層／Si_{1-x}Ge_x歪印加層界面付近のSi_{1-x}Ge_x歪印加層2中の価電子帯の三角井戸、13…Si基板、14…ソース電極、15…ドレイン電極、16…ゲート、17…p型ソースドレイン領域、18…n型ソースドレイン領域、19…素子分離絶縁領域、20…歪Si層／歪Si_{1-y}Ge_y層界面付近の歪Si_{1-y}Ge_y層中の価電子帯の三角井戸、21…急峻n型ドーピング層、22…バイアス印加電極、23…Si_{1-x}Ge_xドレイン層、24…Si_{0.5}Ge_{0.5}層、25…歪Si_{1-y}Ge_y層（0<y≤1）、26…SiO₂絶縁層、27…接合位置、28…切断位置、29…支持基板、30…Si_{0.5}Ge_{0.5}障壁層、40、41…伝導帯の三角井戸の頂点、42、43…価電子帯の三角井戸の頂点。

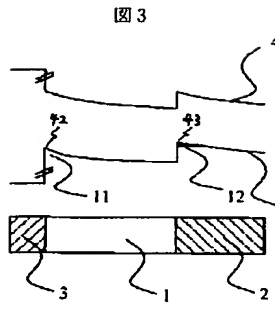
【図 1】



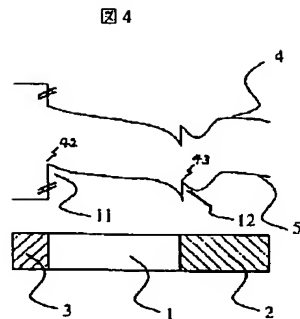
【図 2】



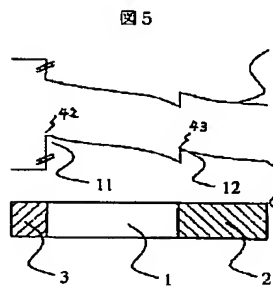
【図 3】



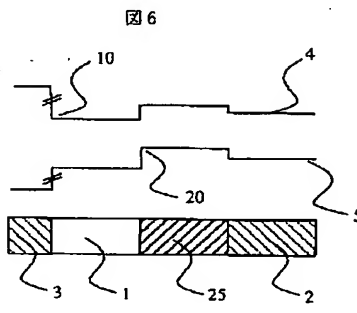
【図 4】



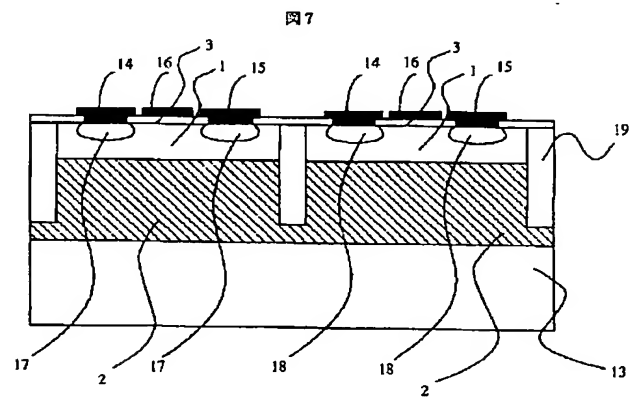
【図 5】



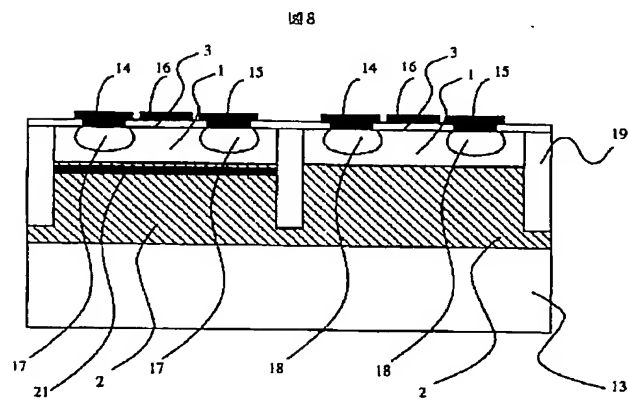
【図 6】



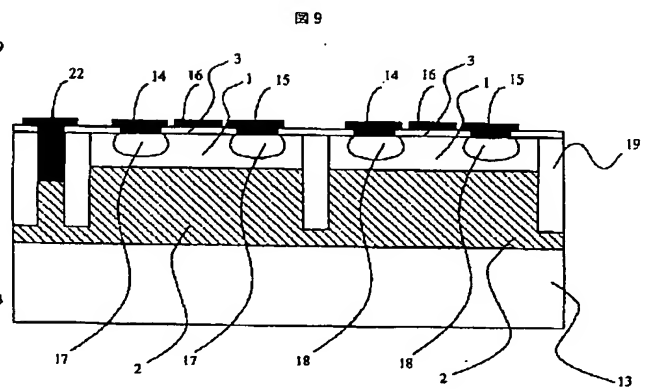
【図 7】



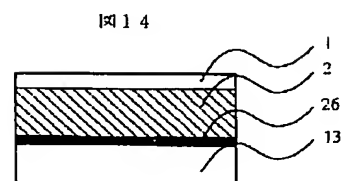
【図 8】



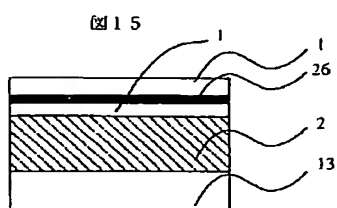
【図 9】



【図 14】

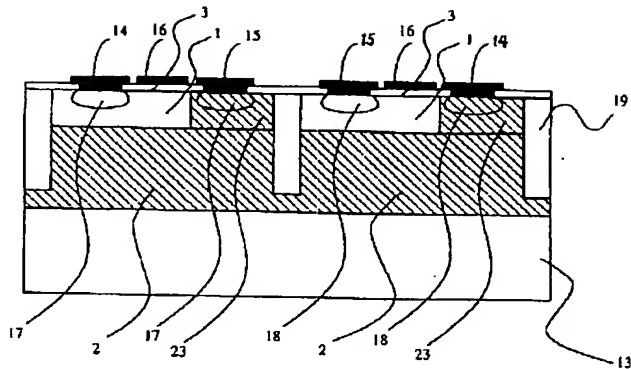


【図 15】



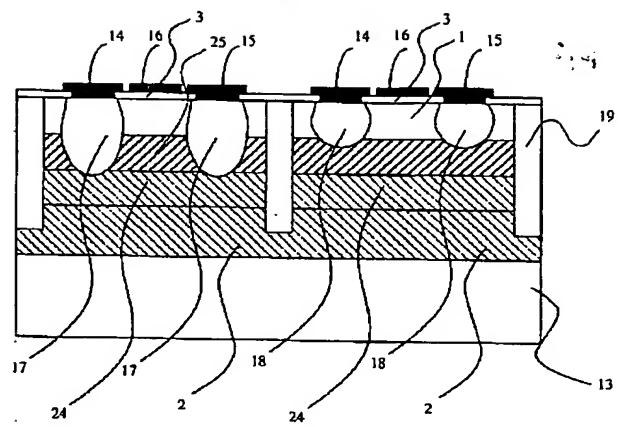
【図 10】

図 10



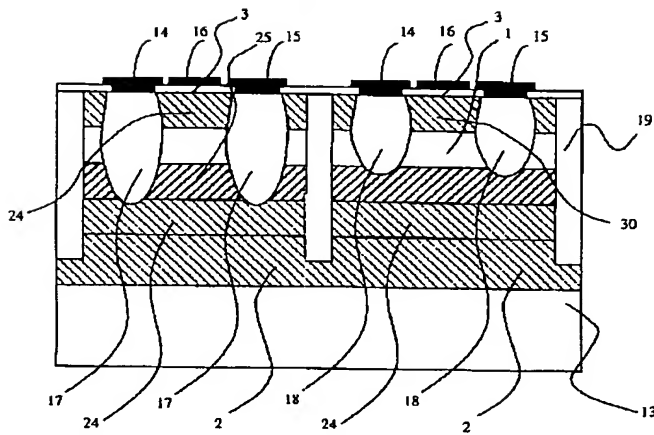
【図 11】

図 11



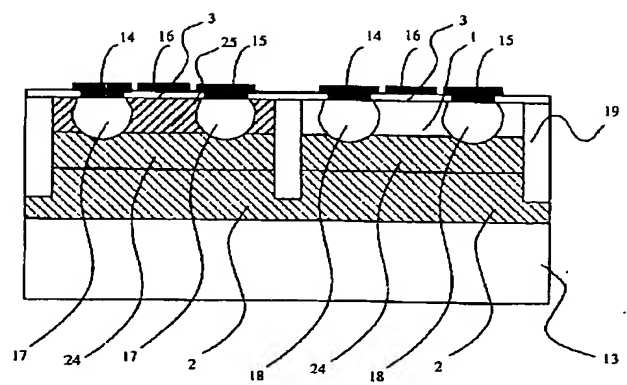
【図 12】

図 12



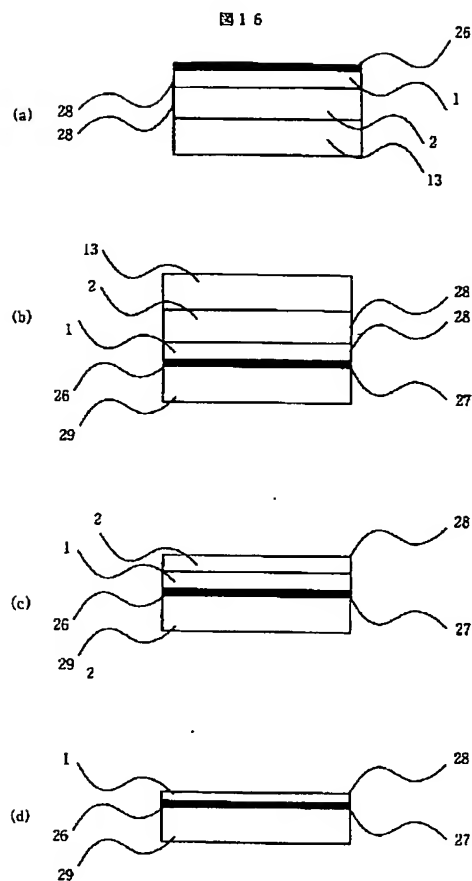
【図 13】

図 13





【図 16】



フロントページの続き

(72) 発明者 山口 伸也
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 宮尾 正信
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 5F040 DA00 DA01 DA02 DA05 DB03
DC01 DC10 EB12 EC07 EE06
EF09 EH02 EH05 EJ03 EK05
FC06
5F048 AA08 AC03 BA03 BA09 BA10
BA12 BA14 BB06 BB07 BC15
BC18 BD09 BE03 BF02 BG14